

最終テスト

試行講座「CMOSアナログ回路(1)」
／100

第1問

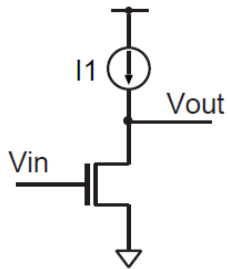
- 適切な選択肢を選び、以下の表を完成させよ。

接地端子	用途
ソース接地回路	①
ドレイン接地回路	②
ゲート接地回路	③

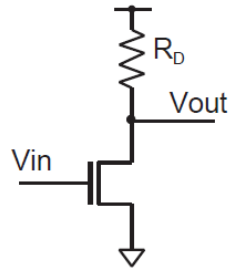
ア: 電圧バッファ、イ: カスコード回路の形成
ウ: 普通の増幅回路、エ: レベルシフト

第2問

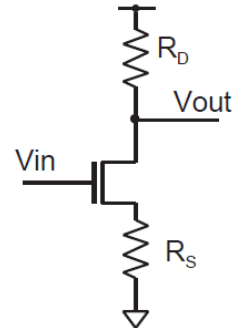
以下の3つの回路の小信号利得をそれぞれ計算せよ。
ただし、トランジスタの電圧電流変換係数を g_m ，出力抵抗を r_o とおく



(a) 定電流源負荷を用いた
ソース接地回路



(b) 負荷抵抗を用いた
ソース接地回路



(c) ソースに抵抗を接続した
ソース接地回路

第3問

図1のソース接地回路の増幅率を求め、利得の周波数特性を図示せよ。また、この回路の極と単位利得周波数(UGF)を示せ。

ただし、トランジスタの寄生容量は C_{out} に比べて十分小さく無視できるものとする。

電流電圧変換係数は g_m 、出力抵抗は r_o として求めよ。

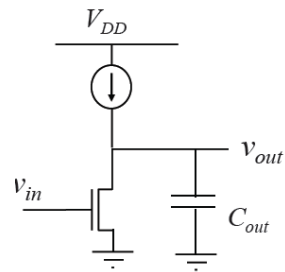


図1

第4問

バンドギャップレファレンス回路

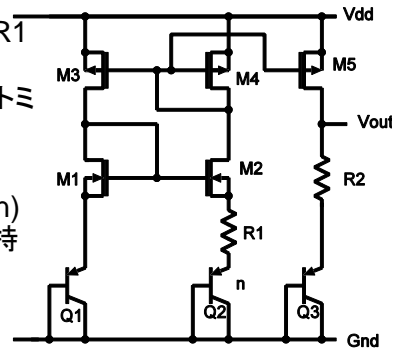
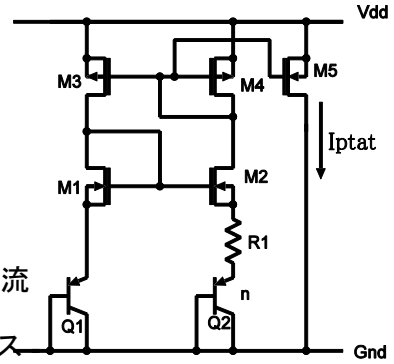
M1とM2とM5は同じサイズのpMOS
 M3とM4は同じサイズのnMOS
 Q2はQ1をn個並列したもの
 Q1とQ3は同一のバイポーラトランジスタ:BP

Iptatを求める(右上図)

- ① Q1とQ2に流れる電流は等しいので、Q1に流れる電流をIcとすれば、Q2のBP 1つに流れる電流は
- ② Q1のベースエミッタ間電圧は $V_t \ln(I_c/I_s)$ 、Q2のベースエミッタ間電圧は
- ③ M1のソース電位とM2のソース電位の電圧差は
- ④ 以上から抵抗R1にかかる電圧は であり、R1に流れる電流は
- ⑤ M4に流れる電流とM5に流れる電流は等しく(カレントミラー)、これがIptatになる。

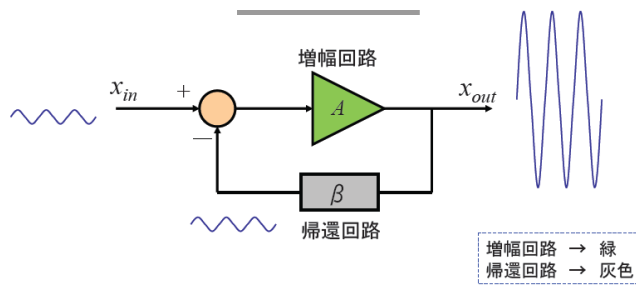
温度依存性を打ち消しあう方法(右下図)

- ⑥ $V_{out} = V_{be3} + \text{□} * I_{ptat} = V_{be3} + \text{□} * V_t * \ln(n)$
- ⑦ V_{be3} の温度依存特性を $-2.0\text{mV}/^\circ\text{C}$ 、 V_t の温度依存特性を $0.09\text{mV}/^\circ\text{C}$ 、 $n=100$ ($\ln(100)=4.6$) の時
 $R2 = \text{□} * R1$ 、また $n=1000$ ($\ln(1000)=6.7$) の時
 $R2 = \text{□} * R1$ とすればいい



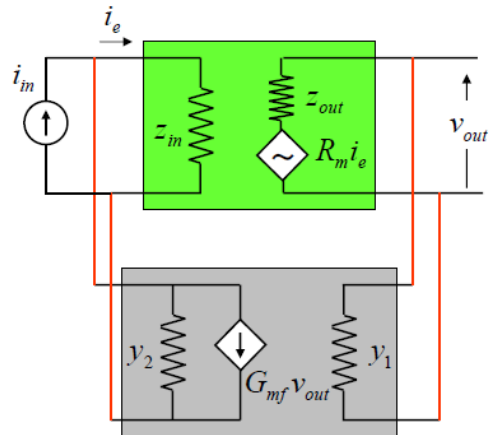
第5問①

1. 下の図での閉ループ利得を求めよ
2. また増幅回路の利得が十分大きい場合の閉ループ利得はどうなるか
3. その場合のメリットを3つ挙げよ



第5問②

- 下図のような入出力抵抗のある回路における閉ループ利得を求めよ



第1~5章までの学習を振り返って

下記の4項目またはあなた自身の感想を自由に書きだしてください。

ただし、4月7日(土)の回にメンバー内で発表し合い、共有するので、箇条書きなど共有しやすいまとめかたにすること。

- チームメンバーやサポーターに聴いてみたいまだ解決できていない疑問点
- 興味深かったこと
- 仕事や研究に実際に役立ってそうなこと
- 谷口先生に聴いてみたいこと